

1. FUNCȚIONAREA MICROCALCULATORULUI COBRA

1.1 SCHEMA BLOC

Microcalculatorul Cobra este construit în jurul microprocesorului pe 8 biți Z80-A, pe trei plăci. Schema bloc a microcalculatorului este prezentată în figura 1.



Fig.1 - Schema bloc a microcalculatorului Cobra.

Pe placa de bază se află:

- unitatea centrală de prelucrare cu μ P Z80-A și circuitele de amplificare, formare și separare a magistralelor de adrese și control.
- bloc memorie alcătuit din circuit de configurare și selecție; DRAM 48 Kocteți, EPROM 2-16 Ko.
- controlor video alcătuit din memorie video DRAM 16 Ko, arbitru memorie pentru rezolvarea priorităților accesului la memoria video, sincrogenerator și circuite de formare a semnalului video complex și de culoare, formator semnale comanda DRAM 16 Ko video, generator ceas sistem.
- bloc interfețe construit cu un circuit de interfață paralelă programabilă i8255.

5

- interfață RS-232 pentru cuplarea unei imprimante sau legarea la un alt calculator.
- interfață memorie externă pe casetă magnetică.
- interfață audio.
- interfață tastatură (matrice 6x8 taste).
- port intrare de 8 biți cu utilizare generală sau ca interfață joystick compatibil Kempston.

Pe placă separată este construită tastatura conventională cu o matrice extinsă de 6x8 taste și cu taste compuse compatibile ZX SPECTRUM +.

Pe a treia placă este construită interfața de disc flexibil cu circuitul specializat i8272 ajutat de circuitul contor-temporizator Z80-CTC.

1.2 UNITATEA CENTRALĂ DE PRELUCRARE

Unitatea centrală de prelucrare este constituită din microprocesorul pe 8 biți Z80A

Z80A este un circuit MOS-LSI în capsula 40 pini, cu 3 magistrale:

- magistrala de date (DATA BUS);
- magistrala de adrese (ADDRESS BUS);
- magistrala de comenzi (CONTROL BUS).

Magistrala de date D0 - D7 este o magistrală bidirecțională 3 stări, utilizată pentru schimb de informație cu memoria și circuitele de interfață I/O.

Z80A intră în categoria microprocesoarelor pe 8 biți, având posibilitatea de a prelucra 8 biți de informație simultan pe magistrala sa de date.

Magistrala de adrese de 16 biți, este utilizată pentru selecția memoriei sau a dispozitivelor de I/O pe durata schimburilor de informație.

Avind 16 biți pentru magistrala de adrese Z8OA poate adresa 64 Ko de memorie și un spațiu adițional de 64 Ko dedicat dispozitivelor de intrare-ieșire

Magistrala de comenzi oferă semnalele necesare pentru a asigura transferul datelor de la sau către microprocesor.

Microprocesorul poate executa mai multe funcții:

- citește date din memorie;
- scrie date în memorie;
- citește date de la echipament I/O;
- scrie date de la echipament I/O;
- executa operații aritmetice asupra datelor.

Z8OA execută un repertoriu de 158 tipuri de instrucțiuni. În microcalculatorul Cobra, ceasul microprocesorului este de 3,5 MHz.

Descrierea pinilor:

Ao-A15 - magistrala de adrese;

- ieșiri 3 stări, active pe 1 logic;
- poate adresa pînă la 64 Ko memorie și echipamente I/O;
- în cazul I/O, 8 biți mai puțin semnificativi de adresă sint folosiți pentru selecția a pînă la 256 dispozitive de intrare sau 256 dispozitive de ieșire;
- în timpul ciclului de înprospătare pentru memoria dinamică (refresh), pe magistrala de adrese opere conținutul registrelor I și R, ultimii (cei mai puțini semnificativi) 7 biți ai

6

registrlului cu autoincrement R fiind utilizați ca adresă de reînprospătare.

DO-D7 - magistrala de date;

- bidirecțională, intrări/ieșiri 3 stări, activa 1 logic.

M1 - primul ciclu mașina;

- ieșire activă pe 0 logic;
- indică extragerea codului instrucțiunii;
- M1 și IQREO active, indică un ciclu de achitare a întreruperii.

MREQ - cerere de acces la memorie;

- ieșire 3 stări activă pe 0 logic;
- indică adresa validă pentru un ciclu de citire sau scriere din memorie.

IOREQ - cerere de acces la porturile de intrare/ieșire (I/O);

- ieșire 3 stări, activă pe 0 logic;
- indică adresa validă pentru operații I/O;
- împreună cu M1 semnaleză momentul cînd vectorul de răspuns la întrerupere poate fi plasat pe magistrala de date.

RD - citire;

- ieșire 3 stări, activă pe 0 logic;
- indica o operație de citire din memorie sau de la echipament I/O.

WR - scriere;

- ieșire 3 stări, activă pe 0 logic;
 - indică date valide pe magistrala de date, care pot fi înscrise în memorie sau echipament I/O.

RFSH - împrespătare;

- ieșire activă 0 logic;
- indică adresa validă pentru împrespătarea memoriilor dinamice.

HALT - oprire CPU;

- ieșire activă pe 0 logic;
- CPU intră după execuția unei instrucțiuni HALT, în starea

HALT semnalizată prin activarea ieșirii 18 și așteaptă o întrerupere, executând în acest timp instrucțiuni NOP pentru

a asigura funcția de reîmprespătare a memoriilor dinamice.

WAIT - așteptare;

- intrare, activă pe 0 logic;
- indică microprocesorului că memoria sau echipamentul I/O nu sunt gata pentru transferul datelor;

7

- atit timp cit WAIT este activ CPU introduce stări de așteptare fara a se asigura reîmprespătarea memoriilor dinamice'

INT - întrerupere;

- intrare, activă pe 0 logic;
- cererea de întrerupere generată de la un dispozitiv I/O este

recunoscută la sfârșitul instrucțiunii curente dacă întreruperile cu fost activate prin program și semnalul BUSRQ nu

este activ.

NMI - întrerupere nemascabilă;
intrare activă 0 logic;

- întreruperea nemascabilă are prioritate superioară lui INT și este totdeauna recunoscută la sfârșitul instrucțiunii curente;

adresa de intrare în subrutina de tratare a NMI este 0066H.

RESET - intrare, activă pe 0 logic;

initalizează CPU;

numărătorul de program se forțează pe zero;

- se invalidează întreruperile;
- registrele I și R se fac 0
- se stabilește modul 0 de tratare a întrerupilor;
 - în timpul RESET-ului magistralele de adrese și date trec în starea de mare impedanță, iar semnalele de control sunt inactive; nu se generează semnale de reîmprespătare.

BUSRQ - cerere de magistrală;

- intrare activă pe 0 logic;
- cererea de magistrală are prioritate mai mare decât NMI și este recunoscută la terminarea ciclului mașină curent;

- semnalul indică o cerere de magistrală și că urmare toate magistralele CPU trec în stare de impedanță ridicată astfel încât să poată fi utilizate de un alt dispozitiv.

BUSACK - recunoaștere cerere de magistrală;

- ieșire, activă 0 logic;
- este utilizată pentru a indica dispozitivului care cere magistrala că CPU a pus magistrala de date, adrese, comenzi în stare de impedanță ridicată și dispozitivul extern le poate utiliza;
 - cât timp este activ, nu se generează semnale de reîmprospătare a memoriilor dinamice.

8

1.3 MEMORIA

Microprocesorul Z-80 poate accesa direct orice locație dintr-o memorie cu o capacitate de 64 Kocteți.

Pentru a obține o flexibilitate maximă a aplicațiilor microcalculatorul COBRA este dotat cu maximumul de memorie RAM accesibilă de către procesor și anume 64 Ko. La punerea sub tensiune, memoria RAM are un conținut aleator; se impune deci existența unei memorii care să nu-și piardă conținutul la întreruperea alimentării (EPROM). Calculatorul COBRA poate fi dotat cu o astfel de memorie cu o capacitate între 2 și 16 Ko versiunea standard având 2 Ko.

În această memorie sînt înscrise programe specifice pornirii calculatorului cum ar fi teste hardware, a miră pentru reglajul monitorului alb-negru sau color, selectarea configurației dorite a calculatorului cu indicarea sursei sistemului de operare ce urmează a fi încărcat:

- interpretor BASIC - compatibil Sinclair ZX-Spectrum cu program monitor pentru lucru în cod mașina și rutine de imprimare adaptate imprimantelor cu interfață serială RS-232;
- interpretor BASIC Sinclair ZX-Spectrum fără nici o modificare pentru aplicațiile care verifică originalitatea ROM-ului existent;
- sistem de operare specializat pentru lucru în cod mașina cu editor, asamblor, dezasamblor, program copier. (D.e. OPUS);
- orice alt interpretor conceput de către utilizator. (D.e. FORTH);
- sistem de operare pe disc flexibil compatibil CP/M.

Sistemele de operare de tip Spectrum pot fi încărcate din circuite de tip EPROM cu o capacitate de 16 Ko, de pe casetă magnetică sau de pe disk.

Sistemul de operare CP/M poate fi încărcat numai de pe disc, funcționarea lui implicînd existența discului flexibil.

Pe de o parte, compatibilitatea cu calculatorul Sinclair-Spectrum impune că memoria RAM cuprinsă între adresele 4000H și 5AFFH să contină informația necesară controlorului video pentru a forma pe ecranul monitorului o imagine cu o rezoluție de 256x192 puncte, iar pe de alta parte utilizarea sistemului de operare CP/M devine imposibilă dacă în mijlocul zonei de memorie de programe tranzitorii (TPA) apare zona de memorie video. Pentru a rezolva această problemă pusă de dualitatea calculatorului a fost elaborat un circuit de configurare și selecție a memoriilor care satisface condițiile impuse de cele trei configurații. Acest circuit este format din doi bistabili de tip D, (u 36), un decodificator (u 56) și porți, fiind prezentat în schema bloc din fig. 2.

9



Fig. 2 - Schema bloc a circuitului de configurare și selecție.

Principalul avantaj oferit de acest circuit este că permite comutarea memoriei prin program cu salt oriunde în spațiul de 64 Ko al configurației noi, chiar dacă zona de memorie care conține rutina de schimbare a configurației dispăre prin comutare. Funcționarea lui exploatează faptul că registrul R se incrementează pe șapte biți după fiecare ciclu de extragere a codului instrucțiunii și apare în întregime (8 biți) pe biții A0-A7 ai magistralei de adrese, momentul apariției fiind marcat de semnalul RFSH. O modificare a bitului 7 al registrului R prin instrucțiunea LD R,A, apare pe magistrala de adrese (BA7) după ce a fost deja extras codul instrucțiunii următoare. Această instrucțiune poate fi o instrucțiune de salt pe un singur octet cum ar fi RST n sau JP (HL) cu care se poate asigura, saltul număratorului de program la orice adresă din spațiul de memorie de 64 Ko. Secvența de comutare LD R,A : JP (HL) este exemplificată în figura 3.

Cei doi bistabili (u36) sînt forțați la pornire în starea logică 1 prin circuitul C15, P02, R09, P03.

10

Dioda P02 asigură ieșirea procesorului din reset cu câteva milisecunde mai devreme decît dezactivarea semnalului NPOR. În acest timp microprocesorul execută primele instrucțiuni, în care bitul 7 al registrului R este poziționat în 1, ceea ce asigură menținerea în 1 a bistabilului u36/5 după dispariția NPOR. Această este configurația temporară de pornire în care harta memoriei asigură accesul microprocesorului la EPROM-ul de pornire u89, la EPROM-ul BASIC de 16 Ko, la memoria video și la DRAM - 16 Ko(0). În configurația de pornire nu este permisă acțiunea butonului de RESET deoarece conținutul registrului R se șterge, ceea ce duce la reconfigurarea necontrolată a memoriei. Configurația dorită se alege prin apăsarea uneia din tastele:

- B - interpretor Basic din EPROM;
- C - interpretor Basic sau alt sistem de operare existent pe caseta magnetică;
- W - verificarea contactelor în soclurile memoriilor EPROM. Se verifică prin comparare octet cu octet conținutul memoriilor EPROM cu înregistrarea existentă pe casetă. În caz de eroare memoria defectă este indicată, prin clipirea culorii din mira de reglaj, corespunzătoare numărului memoriei 0-7;
- D - ~încărcarea sistemului de operare existent pe disc flexibil.

După indicarea de la tastatură a sursei sistemului de operare ce urmează a fi încărcat, se pregătește corespunzător zona de memorie RAM dintre adresele 8000H și 0FFFFH, se poziționează în 0 sau 1 bitul 6 al portului de ieșire (0FEH) după cum a fost aleasă configurația BASIC sau

11

CP/M și se readuce în 0 bitul 7 al registrului R. Configurația memoriei se va schimba după ce procesorul a extras codul instrucțiunii de salt JP (HL) din vechea configurație.

Harta memoriei în cele 3 configurații este prezentată în figura 4.



Fig 4 -Harta memoriei în cele trei configurații.

Multiplexoarele u41, u58 asigură schimbarea adreselor de linii și coloane pentru memoria DRAM 48 Ko (u62-u69, u43-u50, u24-u31). Pentru a crește viteza de operare sub sistemul de operare CP/M 1/2 din DRAM (1) video este înlocuită cu 1/2 din DRAM (0), altfel execuția apelurilor BDOS ar fi întârziată cu stări de așteptare introduse de arbitrul de memorie. Acest lucru este realizat de porțile u52/12, u52/8, u35/3.

Sub configurația BASIC, u54/11 sintetizează semnalul Read only pentru DRAM (0), poarta u17/11 permite accesul întreruperilor de 20mS specifice calculatorului SPECTRUM, iar intrarea asincronă u36/1 forțează starea bistabililor de configurare a memoriei indiferent de schimbarea bitului 7 al registrului R.

1.4 CONTROLORUL VIDEO

Imaginea video este reprezentată în memorie astfel:

- o zonă de 6 Kocteți, numită zonă de informație video de serializare care specifică pentru fiecare punct din ecran tipul său astfel:

12

- dacă bitul corespunzător este 0 atunci punctul va avea culoarea hîrtiei, iar dacă bitul este 1 atunci el va avea culoarea cernelii corespunzătoare aceluși caracter. Adresa acestei zone de 6 Ko este 4000H pentru configurația BASIC și 0C000H pentru celelalte două configurații;
- o zonă de 768 octeți numită zona atributelor de culoare care specifică culoarea cernelii, respectiv a hîrtiei pentru fiecare caracter, dacă respectivul caracter trebuie să se vadă cu strălucire mărită și dacă acel caracter clipește sau nu. Adresa acestei zone este 5800H pentru configurația BASIC și 0D800H pentru celelalte două configurații.

Schema bloc a controlorului video este prezentată în fig. 5.



Fig. 5 Schema bloc a controlorului video.

Pornind de la ceasul de 14 MHz obținut de la un oscilator cu porți pilotat cu cuarț u57, printr-o divizore la doi se obține frecvența de punct folosită pentru serializare SCLK - 7MHz, u61. Acest semnal este divizat prin 8 de către numărătorul Johnson realizat cu circuitul u60 - 7495 pentru a se obține frecvența de caracter. Poarta u40/6 împreună cu u57/8 asigură autoamorsarea numărătorului. Principalul avantaj al acestui divizor prin 8 pe 4 biți este faptul că tranzițiile ieșirilor apar pe rind, la un moment dat schimbându-și starea doar o ieșire. Printr-o decodificare simplă cu porți se obțin semnalele de control ale DRAM-16Ko(1) semnalele de comandă ale registrelor de serializare, atribute de culoare precum și strobul registrului de separare și memorare date.

13

În fig. 6 sunt reprezentate diagramele de timp ale acestor semnale precum și dublul acces la memoria video.



Fig. 6 - Diagramele de timp ale semnalelor de comandă.

Pe de o parte controlorul video accesează memoria video la perioade fixe de timp pentru a citi informația video de serializare și atributele de culoare, iar pe de altă parte, unitatea centrală accesează memoria video pentru a schimba imaginea, atributele de culoare, variabilele de sistem, sau pentru a stoca programe sau date.

Pentru a putea calcula ușor adresa oricărui punct de pe ecran precum și adresa atributului de culoare asociat, facem următoarea împărțire a imaginii în 256x192 puncte sau 32x24 caractere:

- orizontal - 8 puncte alăturate codificate cu 8 bit B7-BO formează un caracter;
- imaginea conține 32 caractere codificate cu 5 biți C4, C3, C2, C1, C0;

- vertical - 8 linii TV succesive codificate cu 3 biți L2, L1, L0 formează un caracter;

14

- 8 rânduri de caractere codificate cu 3 biți R2, R1, R0 formează o treime a imaginii;
- imaginea conține 3 treimi codificate cu doi biți T1, T0, combinația 11 neexistând.

Adresa octetului din care face parte bitul B a caracterului C, linia L, rândul R și treimea T se poate afla după formula (1), iar a atributului de culoare asociat cu formula (2) în care:

X= 0 – configurație BASIC

X= 1 - configurație pornire sau CP/M

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
x	1	0	T1	T0	L2	L1	L0	R2	R1	R0	C4	C3	C2	C1	C0 ⁽¹⁾	
			+	+	+	+	+	+	+	+	+	+	+	+	+	
			T		L			R		C						
X	1	0	1	1	0		T1	T0	R2	R1	R0	C4	C3	C2	C1	C0 ⁽²⁾
						T		R		C						

Din aceste formule se poate observa identitatea biților de adresă A0-A6 corespunzătorii adresei de linie al memoriei dinamice, ceea ce permite că accesul la memorie al controlorului video pentru cele două citiri să se facă în mod pagina RAS, CAS, CAS.

Multiplexarea adreselor video se realizează în două trepte: circuitele u03, u20, u22, u39 asigură multiplexarea RAS-CAS procesor și RAS-CAS controlor video, iar circuitul u51 împreună cu poarta u19/8 asigură schimbarea adreselor pentru cele două accese în mod pagină CAS CAS ale controlorului video.

Accesul unității centrale la DRAM - 1 video este mai puțin prioritar decât al controlorului video și este controlat de către arbitrul de memorie realizat cu circuitele u02/5 și u02/9. Cererea de acces este semnalizată prin activarea semnalului NCS1 care activează semnalul NWAIT prin intrarea asincronă u02/1. Momentele posibile de apariție a cererii de acces sint marcate pe diagrama CLK a ceasului microprocesorului din fig. 6 avînd indicate alături numărul de stări de așteptare introduse de către arbitrul de memorie în fiecare caz. Activarea semnalului de acces la memoria video VMA, duce la activarea semnalelor RAS, CAS, WE; în caz de citire octetul dorit este eșantionat și memorat în registrul de separare și memorare u76 i8212 - momentul(1) în fig. 6. Pe frontul crescător a semnalului QC este dezactivat semnalul NWAIT, procesorul menținînd în continuare datele citite din memorie pe magistrala de date prin intermediul semnalelor de selecție DS ale circuitului i8212.

Accesul controlorului video la DRAM - 1 video se face la fiecare 1,1 μS asigurîndu-se în acest fel și reîmprospătarea memoriei.

În momentul (2) din fig. 6, se încarcă în registrul de serializare u78, u82, u83, octetul de informație, rolul circuitului u83 fiind de a întârzia cu două perioade SCLK apariția informației de serializare la intrarea de selecție a multiplexorului u80.

În momentul (3) se încarcă octetul de atribute în registrul de atribute de culoare u77 și u81.

În momentul (4) apare la ieșirea QB (u83/12) informația video serializată. Decalajul de timp dintre momentele (3) și (4) poate fi compensat cu ajutorul porții u88/3 și C36.

15

Culoarea cernelii sau hîrtiei selectata de u80 este multiplexată încă o dată cu culoarea de margine a ecranului de către u85. -

Poarta u87/8 realizează stingerea spotului pe cursa inversă a monitorului. Ieșirile circuitului u85 sint ponderate pentru obținerea semnalului de luminanță și separate prin u86 pentru obținerea semnalelor necesare monitorului color RGBI + sincro. T1 + u88/11 formează semnalul videocomplex monocrom.

Oscilatorul u88/6, u88/8 este comandat de semnalul FD7 realizînd împreună cu poarta u88/3 funcția de clipire. Rezistența R43 asigură sincronizarea oscilatorului de clipire cu semnalul de sincronizare pe

verticală. Valoarea ei trebuie aleasă astfel încât comutarea oscilatorului să se facă pe oricare linie TV în afară de cele 192 linii vizibile.

Porțile cu diode pentru sinteza semnalului BD6N împreună cu R73 realizează funcția de strălucire mărită, cu suprimarea acestei funcții pentru culoarea negru.

Circuitele u12 și u13 și porțile u16, u14 formează un divizor cu 56. Ieșirile acestui divizor sînt folosite ca adresă de caracter pentru controlorul video și stau la baza formării semnalelor de sincronizare și stingere pe linii. Diagramele de timp asociate sînt prezentate în fig. 7.



Fig. 7 - Diagramele de timp ale semnalelor de linii.

Circuitele u32, u33, u15/9 și porțile u37, u34 formează un divizor cu 312, ieșirile lor fiind folosite ca adresă de linie, rînd de caractere și de treime pe de o parte, iar pe de altă parte stau la baza formării semnalelor NBRD și NVS sincronizare cadre.

16



Fig. 8 - Diagramele de timp ale semnalelor de cadre.

2. INTERFEȚELE MICROCALCULATORULUI

Porțile u54/6, u54/8 sintetizează semnalele de citire respectiv scriere din/în porturile de intrare/ieșire. Aceste semnale sînt necesare pentru circuitele de interfață din familia microprocesoarelor INTEL. Pe placa de bază este utilizat un circuit de interfață paralelă programabilă i8255 care conține trei porturi de intrare/ieșire și unul de control astfel:

portul A - port intrare adresa 254 (0FEH);
portul B - port intrare adresa 31 (01FH);
portul C - port ieșire adresa 254 (0FEH);
portul de control adresa 223 (0DFH), valoare octet 146 (092H).

Biții 0-5 ai portului A sînt utilizați pentru citirea coloanelor matricii de tastatură. Bitul A6 este folosit pentru citirea datelor din memoria externă pe caseta magnetică. Semnalul din casetofon este limitat de circuitul R98, P10, P9 și este format de către comparatorul u92. Bitul A7 este folosit ca intrare serială protejată de către R94 și P05. Poate fi utilizat ca intrare serială RS-232C folosind o rutină de recepție a datelor seriale. Biții de intrare ai portului B pot avea o utilizare generală de port paralel de 8 biți la adresa 223 (0DFH) cu semnalele de protocol PA5 intrare și PC5 ieșire. Biții 0-4 ai portului B pot fi utilizați ca interfață joystick compatibil Kempston. Rezistențele R99:106 asigură citirea valorii 0 în repaus, rezistența R107 asigură nivelul logic 1 prin unul din contactele joystickului.

17

- Biții 0-2 ai portului C sînt folosiți pentru memorarea culorii de margine a ecranului (BORDER).
- Bitul 3 este folosit ca ieșire pentru casetofon. Rezistențele R97, R98 și diodele P06, P07 asigură un nivel optim pentru majoritatea casetofonelor. - Bitul 4 este folosit ca ieșire audio. Circuitul i8255 poate comanda direct prin C45 o capsulă telefonică montată în cutie.
- Bitul 5 - bit de ieșire cu utilizare generală. Poate fi utilizat ca semnal de protocol pentru portul B.

- Bitul 6 - bit de ieșire. Indică configurația selectată la pornire. Într-o anumită configurație poate fi folosit ca bit cu utilizare generală.
- Bitul 7 - ieșire serială. Este separat și inversat de u87/11, nivelul fiind adaptat de către T2 pentru a fi compatibil RS232-C.

Fig. 9 - Schema bloc a interfeței de disc flexibil.

18

Este folosit ca bit de transmisie date seriale către o imprimantă sau către un alt calculator utilizând o rutină de emisie.

Interfața de disc flexibil este realizată pe o placă separată cu ajutorul circuitului specializat controlor de disc flexibil i8272.

Pentru a putea utiliza facilitățile oferite de modul 2 de întreruperi al microprocesorului, întreruperile generate de i8272 sînt trecute prin circuitul contor temporizator u01, Z80 CTC. Acest circuit are patru circuite numărătoare din care canalele 0-2 sînt cascade. Prin programare canalul 0 CTC dă cîte a întrerupere pentru fiecare octet ce urmează a fi transferat între i8272 și microprocesor; canalele 1 și 2 cascade dau o întrerupere la sfîrșit de sector generînd și semnalul de terminare a numărării (TC) pentru i8272. În această configurație hardware, circuitul i8272 poate fi programat să lucreze în regim fără transfer direct a memorie, simplificînd mult interfața.

Schema bloc a interfeței de disc flexibil este prezentată în fig. 9.

Ceasul obținut cu ajutorul oscilatorului pilot cu cuarț de 16 MHz este divizat prin doi sau prin patru în funcție de poziția switch-urilor SD 0-3 și este folosit ca ceas pentru i8272. Se remarcă această configurație originală în care i8272 prin semnalele de selecție US0, US1 își selectează singur ceasul de 8 sau 4 MHz pentru lucrul cu disc de 8 inch sau de 5 ¼ inch (u04/7). Această configurație permite utilizarea simultană a două unități de disc, indiferent de dimensiunea lor, fără a fi nevoie a interveni software pentru comutarea ceasului controlorului de disc.

Circuitul u04/9 și u03/4 asigură multiplexarea semnalelor READY oferite de unitățile de disc.

Circuitul u05 dublu decodificator generează semnalele de selecție ale unităților de disc, precum și semnalele de încărcare a capetelor de citire/scriere.

Semnalele HL 0-3 (HEAD LOAD) pot fi folosite și ca semnale MOTOR ON pentru unitățile de 5 ¼" care au această intrare.

Pentru reducerea interferenței intersimbol la scriere este folosit circuitul u18, u12 care asigură precompensarea datelor ce urmează a fi scrise.

Porțile u6, u03, u06, u10 asigură multiplexarea și adaptarea semnalelor de comandă ale unităților de disc.

Portile u16, u15, u14/6, u14/8 și numărătorul u08 asigură generarea ceasului de scriere WCK și a ceasului CK după cum este selectată densitatea simplă sau dublă (MFM).

Circuitele u13, u07, u14/12, u09 formează un circuit cu calare pe faza (PLL digital) folosit pentru sinteza semnalului (RDW) fereastră de date, din tranzițiile datelor sosite din unitatea de disc selectată.

Dacă intrarea u07/13 este în 1 logic, circuitul u13 împreună cu u07 formează un divizor prin 16 obișnuit. Frontul crescător al semnalului USD de la unitatea de disc determină "testarea" numărului la care a ajuns divizorul prin 16. Dacă acesta este 0 se consideră că frecvența generată de numărătorul divizor prin 16 este sincronă cu datele sosite de la unitatea de disc și numărătorul numără în continuare. Dacă numărul este diferit de zero se produce un salt cu plus sau cu minus în secvența de

19

numărare de una sau două unități în funcție de decalajul apărut, în așa manieră încît să se apropie numărul din divizor de valoarea corectă de sincronism. Programarea PROM-ului 74188 se face astfel:

Adresa	Conținut	Decolaj	Adresa	Conținut
00	01	0	10	01
01	01	-1	11	02
02	02	-1	12	03
03	03	-1	13	04
04	03	-2	14	05
05	04	-2	15	06
06	05	-2	16	07
07	06	-2	17	08
08	0B	+2	18	09
09	0C	+2	19	0A
0A	0D	+2	1A	0B
0B	0 ^E	+2	1B	0C
0C	0F	+2	1C	0D
0D	0F	+1	1D	0 ^E
0E	00	+1	1 ^E	0F
0F	01	+1	1F	00

Circuitul u09/6 asigură o divizare prin doi a semnalului de la ieșirea divizorului prin 16 astfel că semnalul RDW (fereastră de date) se obține printr-o divizare prin 32 a ceasului CK cu corecția decolajului care apare între RDW și datele citite de pe discul flexibil

3. TASTATURA

Tastatura este compusă din 58 de taste, dintre care 48 sînt organizate într-o matrice de 8x6 iar 10 sînt folosite pentru a realiza unele comenzi care la ZX SPECTRUM se obțin prin apăsarea simultană a tastei Caps-Shift și a încă o (tastă).

Sesizarea unei taste apăsate se face în următorul mod: la interogarea tastaturii, pe liniile tastaturii se conectează cele 8 adrese superioare ale microprocesorului (A8-A15) separate prin diodele p11 - p18. Pe durata unui ciclu de citire a tastaturii acestea sînt puse pe rînd în starea 0, celelalte 7 fiind în stare 1 logic. Dacă o tastă este apăsată, prin contactul electric realizat în nodul respectiv a matricei, nivelul 0 logic care apare pe linia corespunzătoare tastei apăsate se propagă prin coloana (k0 - k6) corespunzătoare tastei apăsate la intrarea portului PA din circuitul i8255. Schema electrică a tastaturii este prezentată în figurile 10 și 11.

22 (20,21=pics)

Realizarea unei comenzi cu una dintre cele 10 taste speciale amintite mai sus se poate realiza pe exemplul din figura 12; comanda DEL (ștergere) care se obține la ZX SPECTRUM prin apăsarea simultană a tastei CAPS-SHIFT și a tastei 0, la COBRA se poate realiza prin apăsarea tastei DEL.

```
#####
#####
#####
```

Fig. 12 - Exemplu de funcționare taste compuse

Tasta TAB din grupul celor 10 taste speciale se dozebește de celelalte prin faptul că validează trei taste simultan: CAPS-SHIFT, SIMBOL-SHIFT, P. La apăsarea tastei TAB sînt acționate contactele corespunzătoare tastelor CAPS-SHIFT și SIMBOL-SHIFT, comanda poapagîndu-se prin grupul diferențial RD, CD. Contactul corespunzător tastei P nu este activat datorită prezenței grupului integrator R411, Cl. După dezactivarea contactelor corespunzătoare tastelor CAPS-SHIFT, SIMBOL-SHIFT la un interval scurt de timp se închide și contactul corespunzător tastei P.